

Plano Analítico: Arquitetura de Computadores II

1. Identificação da Unidade Curricular

- **Curso:** Engenharia de Redes e Telecomunicações (ERT)
- **Ano:** 3º | **Semestre:** 2º
- **Créditos:** 6.0 UC
- **Carga Horária Total:** 90 Horas
- **Distribuição:**
 - **Teóricas (T):** 20h
 - **Teórico-Práticas (TP):** 20h
 - **Práticas (P):** 20h
 - **Trabalho Autónomo (TA):** 22h
 - **Orientação e Tutoria (OT):** 4h
 - **Avaliação (AV):** 4h

1. Fundamentação

Arquitetura de Computadores II é essencial para compreender os limites físicos e lógicos do hardware moderno. Para um engenheiro de redes, este conhecimento permite entender o funcionamento interno de routers de alto débito e servidores que utilizam processamento paralelo e **Pipelining**. A disciplina aborda como mitigar os "gargalos" de memória e processamento que afetam o desempenho de aplicações críticas em rede.

2. Objectivos Instrutivos e Educativos

- **Instrutivos:** Dominar o conceito de *Pipelining* e gestão de riscos (*Hazards*); compreender arquiteturas superescalares e VLIW; estudar sistemas multiprocessadores e coerência de cache; analisar arquiteturas de armazenamento (RAID) e I/O avançado.
- **Educativos:** Fomentar a capacidade de otimização de sistemas; desenvolver o pensamento crítico sobre a evolução da Lei de Moore e sensibilizar para a computação paralela como solução de escalabilidade.

3. Resultado de Aprendizagem

O estudante será capaz de:

- Analisar e resolver conflitos de dados, controlo e estruturais num pipeline.
- Explicar o funcionamento de unidades de predição de desvio (*Branch Prediction*).
- Projetar e avaliar a eficiência de sistemas com múltiplos núcleos e memória partilhada.
- Configurar e otimizar sistemas de armazenamento de dados para servidores de rede.

4. Planeamento Temático (6 UC)

Tema	Horas (T+TP+P)	Conteúdo Programático
I. Pipelining Avançado	12h	Estágios do Pipeline; Riscos (Hazards); Encaminhamento de dados (<i>Forwarding</i>) e Stalls.
II. Paralelismo a Nível de Instrução	12h	Execução fora de ordem (<i>Out-of-order</i>); Algoritmo de Tomasulo; Predição de saltos dinâmica.
III. Hierarquia de Memória Avançada	12h	Caches multinível; Otimizações de desempenho de cache; Memória Virtual e TLB.
IV. Multiprocessadores	12h	Arquiteturas SIMD e MIMD; Coerência de Cache (Protocolo MESI); Multithreading em hardware.
V. I/O e Armazenamento	12h	Barramentos e interfaces PCIe; Confiabilidade e disponibilidade; Sistemas RAID.

5. Recomendações Metodológicas

- **Simulação Prática (20h):** Uso de simuladores de arquitetura como o **WinDLX** ou **MIPster** para observar o fluxo de instruções no pipeline e o impacto dos *hazards*.
- **Análise de Servidores:** Estudo de caso sobre arquiteturas de CPUs modernas (Intel Xeon, AMD EPYC ou ARM Neoverse) focadas em Datacenters.
- **Benchmark:** Realização de testes de desempenho comparativos entre processamento sequencial e paralelo em ambiente laboratorial.

6. Sistema de Avaliação

Conforme a alocação de **4h para AV**:

- **Avaliação Contínua (50%):** Resolução de problemas complexos de pipeline (25%) e laboratórios de simulação de multiprocessamento (25%).
- **Avaliação Formal (50%):** Exame final incidindo sobre paralelismo, coerência de cache e arquiteturas avançadas de I/O.

7. Bibliografia Principal Indicada

1. **HENNESSY, J. L. & PATTERSON, D. A.** *Arquitetura de Computadores: Uma Abordagem Quantitativa*. Elsevier.
2. **STALLINGS, William.** *Arquitetura e Organização de Computadores*. Pearson.
3. **HARRIS, David & HARRIS, Sarah.** *Digital Design and Computer Architecture (ARM/RISC-V Edition)*. Morgan Kaufmann.